

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

6293838

Basic Patent (No,Kind,Date): JP 62252964 A2 871104 <No. of Patents: 002>

ACTIVE MATRIX SUBSTRATE HOUSED IN DRIVER (English)

Patent Assignee: SEIKO EPSON CORP

Author (Inventor): MATSUO MUTSUMI

IPC: *H01L-027/12; G02F-001/133; G09F-009/30; H01L-029/78

Derwent WPI Acc No: G 87-351095

JAPIO Reference No: 120127E000095

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
JP 62252964	A2	871104	JP 8696301	A	860425	(BASIC)
JP 95114281	B4	951206	JP 8696301	A	860425	

Priority Data (No,Kind,Date):

JP 8696301 A 860425

⑫ 公開特許公報(A)

昭62-252964

⑤ Int. Cl.⁴

H 01 L 27/12
G 02 F 1/133
G 09 F 9/30
H 01 L 29/78

識別記号

3 2 7

庁内整理番号

7514-5F
8205-2H
6866-5C
8422-5F

④ 公開 昭和62年(1987)11月4日

審査請求 未請求 発明の数 1 (全4頁)

⑥ 発明の名称 ドライバー内蔵アクティブマトリックス基板

⑦ 特 願 昭61-96301

⑧ 出 願 昭61(1986)4月25日

⑨ 発 明 者 松 尾 睦 諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑩ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
会社

⑪ 代 理 人 弁理士 最 上 務 外1名

明 細 書

1 発明の名称

ドライバー内蔵アクティブマトリックス基
板

2 特許請求の範囲

(1) 直交する複数本のデータ線と複数本のタイミング線を有し、該データ線とタイミング線の交差点に薄膜トランジスタと該薄膜トランジスタでスイッチする画素電極をもうけると共に、該データ線とタイミング線の少なくとも一方の駆動回路を同一の透明絶縁基板上に構成するドライバー内蔵アクティブマトリックス基板において、該駆動回路を導電膜の配線で囲うと共に、該基板の周辺にも導電膜をもうけ、前記配線と短絡することを特徴とするドライバー内蔵アクティブマトリックス基板。

(2) 前記ドライバーを囲む配線層が駆動回路内の薄膜トランジスタのゲート配線層と同一層で

あることを特徴とする特許請求の範囲第1項記載のドライバー内蔵アクティブマトリックス基板。

(3) 前記ドライバーを囲む配線層が画素電極スイッチ用薄膜トランジスタのゲート配線層と同一層であることを特徴とする特許請求の範囲第1項記載のドライバー内蔵アクティブマトリックス基板。

3 発明の詳細な説明

〔産業上の利用分野〕

本発明は、透明絶縁基板上に薄膜トランジスタを形成したドライバー内蔵アクティブマトリックス基板の構造に関する。

〔従来の技術〕

近年、絶縁基板上に堆積した半導体薄膜を能動領域として用いたMOS型薄膜トランジスタは、液晶表示装置の画素の光スイッチとしてばかりでなく、周辺の駆動回路も構成できるほどに性能があがっている。しかし、絶縁基板を用いたデベ

イスでは、絶縁基板表面に生じた電荷をいかに外部に放散して、薄膜トランジスタの絶縁破壊を防止するかが課題である。特に液晶表示装置のように、パネル表示部分の面積が大きいデバイスでは製造工程中での基板表面でのチャージアップをいかに防止するかが重要である。

第2図は、透明絶縁基板上にマトリックス状に配置された薄膜トランジスタと周辺駆動回路から構成された液晶表示用ドライバ内蔵アクティブマトリックス基板の模式図である。1 (G₁ ~ G_m) は、タイミング線となるゲート線、2 (S₁ ~ S_n) は、データ線となるソース線であり、3の薄膜トランジスタと4の画素電極は、ゲート線、ソース線の交点に配置されている。5は、タイミング線駆動回路、6はデータ線駆動回路であり、この図では両側駆動の場合を示している。

第3図は、前記模式図で構成された従来の液晶表示用ドライバ内蔵アクティブマトリックス基板の外周近傍の平面図(a)と断面図(b)であ

荷の逃げ路がないため、薄膜トランジスタの絶縁破壊を生じやすい。そのため、イオン打込み時には、基板表面近傍で打込みイオンを熱電子により中性化する打込み方式を採用するのであるが、完全な中性化は難しく、外観上不明な程度の軽いダメージが発生する。特に、画素を駆動する薄膜トランジスタは、レーザー等を用いて、切断することによってその画素のみを犠牲にするだけすむ。ところが、周辺にある駆動回路部分の薄膜トランジスタは、1つでも不良があると動作不良をおこすという問題点を生ずる。そこで本発明は、このような問題点を解決するもので、その目的とするところは、薄膜トランジスタの絶縁破壊耐量を増加した周辺駆動回路を提供するところにある。

〔問題点を解決するための手段〕

本発明のドライバ内蔵アクティブマトリックス基板は、周辺駆動回路を導電膜の配線で囲うと共に、基板周辺にも導電膜領域をもうけ、両者を

る。透明絶縁基板7上に化学反応を媒介として結晶や非晶質を被着させるCVD法により、多結晶シリコン薄膜8を堆積させる。次に、多結晶シリコン薄膜のパターン形成を行なった後、ゲート絶縁膜9を形成し、その上に金属や多結晶シリコン薄膜を用いたゲート電極10及びゲート線1を駆動回路内を含めて同時形成する。次に、ゲート電極10とレジストをマスクに用いて、P型不純物イオンとN型不純物イオンを選択的にイオン打込みをしてP型とN型の薄膜トランジスタのソース・ドレイン領域を形成する。次に、層間絶縁膜11をCVD法により積層し、コンタクトホールを開口した後、透明導電膜を被着して、画素電極4を形成し金属を被着して、ソース線2及び、周辺のタイミング線駆動回路5とデータ線駆動回路6内の配線とする。

〔発明が解決しようとする問題点〕

しかし、前述の従来技術では、イオン打込みの工程で透明絶縁基板上にチャージアップされた電短絡することを特徴とする。

〔作用〕

本発明の上記の構造によれば、駆動回路は、導電膜の配線でシールドされたことになり、大面積を占める表示部分からのチャージアップした電荷は基板周辺を接地することで外部に放散できるため駆動回路内の薄膜トランジスタのダメージをなくすることが可能である。

〔実施例〕

第1図は、本発明の実施例であり、液晶表示用ドライバ内蔵アクティブマトリックス基板の外周近傍の平面図である。第3図の従来例に比べて、駆動回路をゲート線と同一の材料を用いた配線で周囲をおおっており、透明絶縁基板の周辺に同一材料で接続しているため、駆動回路内の薄膜トランジスタは、完全にシールドされているのでイオン打込み等による絶縁破壊を十分防止することができる。駆動回路を囲んでいる配線は、本実

施例のように、ゲート線と同一材料にする必要はなく、異種の導電膜を用いても何らさしつかえない。配線幅は、十ミクロンメートルもとれば十分であり、占有面積も小さく、工程が増えるわけではないので好都合である。

〔発明の効果〕

以上述べたように本発明によれば、周辺の駆動回路は導電膜の配線でシールドされたことになり、イオン打込み等の電荷の表面へのチャージアップによる駆動回路内の薄膜トランジスタの絶縁破壊を防止するという効果を有する。また酸素プラズマ等のクリーニング工程でも、ダメージ防止に役立つものである。

4 図面の簡単な説明

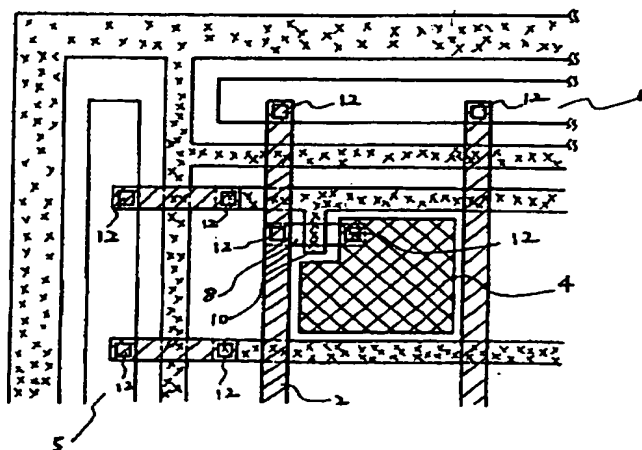
第1図は、本発明の液晶表示用ドライバー内蔵アクティブマトリックス基板の外周近傍の平面図である。第2図は、液晶表示用ドライバー内蔵アクティブマトリックス基板の模式図である。第3

図は、従来の液晶表示用ドライバー内蔵アクティブマトリックス基板の外周近傍の平面図(a)と断面図(b)である。

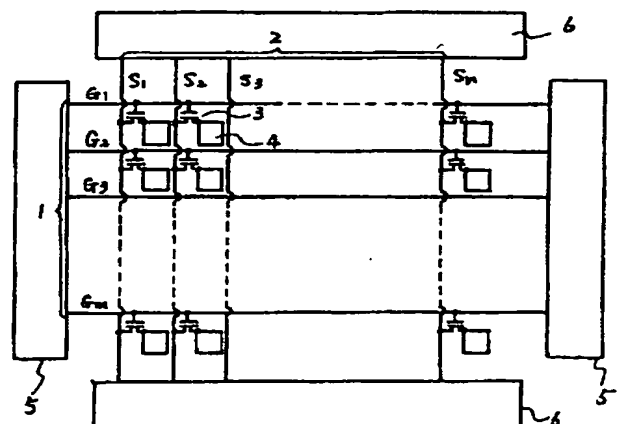
- 1 …… ゲート線 (タイミング線)
- 2 …… ソース線 (データ線)
- 3 …… 薄膜トランジスタ
- 4 …… 画素電極
- 5 …… タイミング線駆動回路
- 6 …… データ線駆動回路
- 7 …… 透明絶縁基板
- 8 …… 多結晶シリコン薄膜
- 9 …… ゲート絶縁膜
- 10 …… ゲート電極
- 11 …… 層間絶縁膜
- 12 …… コンタクトホール

以上

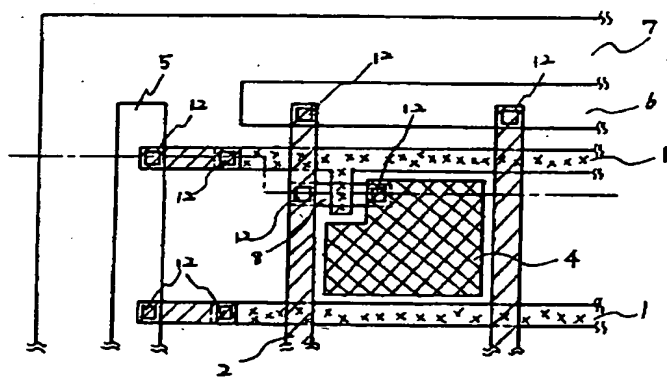
出願人 セイコーエプソン株式会社
代理人 弁理士 最上 (他1名)



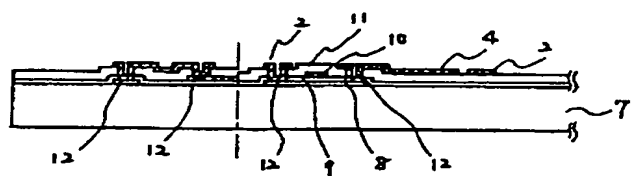
第 1 図



第 2 図



第 3 図 (a)



第 3 図 (b)